

# MANUFACTURE OF SEMICONDUCTOR LIGHT-EMITTING ELEMENT

Publication number: JP60144985

Publication date: 1985-07-31

Inventor: KARUISHI MASAYOSHI

Applicant: FUJITSU LTD

Classification:

international: H01L21/301, H01L33/00, H01S5/00, H01S5/022,  
H01S5/02, H01L21/02, H01L33/00, H01S5/00, (IPC1-7)  
H01L21/78, H01L33/00, H01S3/18

European: H01L33/00G, H01S5/022

Application number: JP19830248251 19831230

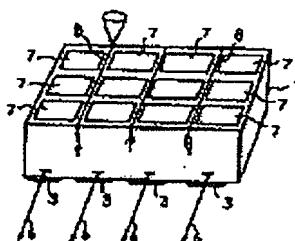
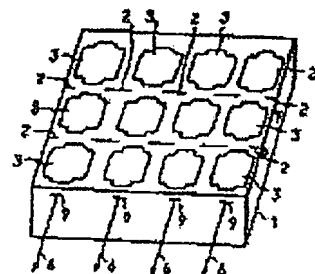
Priority number(s): JP19830248251 19831230

[Report a data error here](#)

## Abstract of JP60144985

PURPOSE: To manufacture a LED effectively by a method wherein array separating marks and chip separating marks are each formed to the surface and back of a laser wafer, and the wafer is separated along the array separating marks and formed to an array shape and separated under pressure.

CONSTITUTION: Rolling pressure is applied to a laser wafer 1 while upward directing the back electrode 7 side, cracking stress is applied only to separating marks 2 for arraying, and the wafer 1 is separated into a large number of arrays. Rolling pressure is applied to the single array while upward directing the surface electrode 3 side, cracking stress is applied to marks 8 for separating into chips, and the array 1' is separated into the chips.



## ⑫ 公開特許公報 (A) 昭60-144985

⑬ Int.Cl.<sup>4</sup>H 01 S 3/18  
H 01 L 21/78  
33/00

識別記号

府内整理番号

⑭ 公開 昭和60年(1985)7月31日

7377-5F  
7131-5F  
6666-5F

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 半導体発光素子の製造方法

⑯ 特 願 昭58-248251

⑰ 出 願 昭58(1983)12月30日

⑱ 発明者 軽石 雅圭 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出願人 富士通株式会社 川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 玉蟲 久五郎 外1名

## 明細書

1. 発明の名称 半導体発光素子の製造方法

## 2. 特許請求の範囲

ウエハ状半導体結晶に半導体レーザ素子が各々の光放出方向をそろえて多数形成され、該ウエハ状半導体結晶の表面側に半導体レーザ素子の放熱電極パターンが、また裏面側に背面電極が備えられてなり、該ウエハ状半導体結晶の表面側には放熱電極パターンの間に前記光放出方向に垂直にアレイ分離用キズを形成し、裏面側には前記光放出方向に平行にチップ分離用キズを形成することを特徴とする半導体発光素子の製造方法。

## 3. 発明の詳細な説明

## 技術分野

本発明は、半導体レーザ素子が多数形成されたウエハ状半導体結晶をアレイ状ならびにチップ状に分離する技術に関する。

## 従来技術

従来、半導体レーザのアレイ化ならびにチップ

分離化は、第1図に示すごとく、あらかじめ半導体レーザ素子が各々の光放出方向をそろえて多数形成されたウエハ状半導体結晶（以下レーザウエハと称する）1の表面上に選択メットキにより形成されたAuのPHS（plated heat sink）電極のパターンの間にチップ分離用のメサ構造4をエッチング等によって形成しておき、その後レーザウエハ1をスクライバによりアレイ化用スクライブライン（キズ）2を形成し、該アレイ化用キズ2に沿つて一旦レーザウエハをアレイ状にした後第2図のようにアレイの各メサ構造4に対しカミソリの刃5を当ててへき開によりチップに分離形成している。なお、一般にアレイ化の後、素子特性の計測がアレイ内のレーザ素子について一度に行われる。しかしながら、この方法ではレーザアレイをチップにへき開分離する場合第2図に示すようにメサ構造4（幅20～30μm）に対して少しでもカミソリの刃先が中心からズレてしまつたり（図A）、又は刃先角度がθなる角度を有すると（図B）、そのへき開方向がずれて、分離形成されたチ

チップの形状は、第3図に示すごとく電極バターン内の一部を欠損するような形のもの、さらにレーザの共振器鏡を構成する端面9（レーザ端面9と略称する）の一部をも破壊したもの等多くの不良素子が発生し易く、歩留りが非常に悪いものであった。

#### 発明の目的

本発明は、レーザウエハを一旦アレイ状に加工した後、得られたレーザアレイから容易にサイズのバラツキなくかつ形状に損傷のないレーザチップの分離形成を行なうことを目的とする。

#### 発明の概要

本発明は、上記目的を達成するために半導体レーザウエハに表面に分けてアレイ分離キズ及びチップ分離キズをスクライバにより形成することにより、レーザウエハをアレイ分離キズに沿つて分離して一旦アレイ状に形成した後、該アレイに対して局部的に圧力を加えて容易にチップ分離を行なうものである。

#### 発明の構成及び作用

以下、実施例とともに本発明を詳しく説明する。第4図において、レーザウエハ1（GaAsあるいはInPなどのウエハ）の各素子部には、表面側に選択メットキによりAuのPHS電極（放熱用の厚いメットキ電極）3のバターンが形成されている。例えばPHS電極3は6μm位のAu層で形成される。そしてPHS電極3のバターンの間のレーザウエハ1の表面にアレイ分離用のキズ2をスクライバによって形成する。該キズ2はレーザ素子の光放出方向6に直角方向に入れるが、光放出部9の上に当たる部分は避ける。次にレーザウエハ背面を研磨加工して約100μmの厚さとし、第5図に示すごとくオーミック電極7（背面電極）を形成する。そして背面電極7側に、チップ分離用キズ8をスクライバにより形成する。なお、このアレイ分離用のキズ2の形成は、背面電極7の形成前に行なつても良い。

以上のプロセス処理を施したレーザウエハ1に対し、最初第6図に示すように背面電極7側を上にしてローリング圧力を加えることにより、アレ

イ化用分離キズ2にのみクラッキング応力を与え、レーザウエハ1を多数のアレイに分離する。例えば1つのアレイには50のレーザ素子が形成されており、これらを1度に計測することができる。もし、レーザアレイが途中で欠けて小さなアレイになつてしまふと、計測器へのセットや取出し回数が多くなり面倒であり、アレイのピンセット等による取扱い回数が多いとそれだけレーザ素子を損う可能性も多くなる。したがつて規格通りの長さのアレイを得ることは重要である。この点に関して本発明においてはアレイ分離用のキズ2を下にし、これとほど平行なロール10をころがしてローリング圧力を加えるので（第6図参照）、キズ2にのみクラッキング応力が与えられ、他方背面電極7の側（第6図のレーザウエハ1の上面）のチップ分離用のキズ8はロール10と直角方向に走つており、しかもローリング圧力が分離し難い方向にかかるからチップ分離用のキズ8に沿つて割れることなく、確実に所定長のアレイが形成できる。しかし後、単独のアレイに対し第7図

に示すように表面電極3側を上にしてローリングによる圧力を加え（ロール10をキズ8に平行に置いてころがす）、チップ分離用のキズ8にクラッキング応力を与え、アレイ1'をチップに分離する。なお、このチップ化をする際ローリング圧力以外に、カミソリの刃先により軽く加圧するだけでも同様のチップ分離が行なえる。

本発明により得られるチップ形状は、第8図に示すようにレーザ光取出端面がきれいにへき開されてかつこれと直交する端面もきれいに分離されている。

なお、以上の例では第1図に示しているメサ溝を形成していないが、レーザウエハ表面側に第1図と同様にメサ溝4を形成したレーザウエハについても全く同様に本発明が適用できる。なお、このときメサ溝はアレイ内の各素子の計測時の電気的分離に用いることができる。メサ溝4はたとえV字型をしたものでも比較的浅くなだらかな形状をしているので第6図、第7図のローリング加圧によつてメサ溝4に沿つて割れることはない。

## 発明の効果

以上のごとく、本発明によれば正確にレーザウエハをアレイに分離することができ所定長のアレイが得られるので素子の計測が容易であり、取扱上の損傷が生ずる可能性が小さくなる。またチップ分離も良好に行なうことができレーザ端面を乱すことがなく不良素子が生ずる可能性を大幅に小さくできる利点がある。

## 4. 図面の簡単な説明

第1図は従来のレーザウエハの斜視図、第2図A, Bはそれぞれ従来のチップ分離の説明図、第3図は従来のチップ分離後の素子形状を示す説明図、第4図及び第5図は本発明におけるレーザウエハのそれぞれ~~左~~表側、~~右~~裏側の斜視図、第6図及び第7図は本発明におけるそれぞれアレイ分離及びチップ分離の説明図、第8図は本発明によりチップ分離された素子の斜視図。

第4図、第5図において、

1 … レーザウエハ

2 … アレイ分離用のキズ

3 … PHS電極

6 … 光放出方向

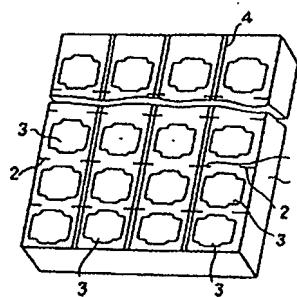
7 … 背面電極(オーミック電極)

8 … チップ分離用のキズ

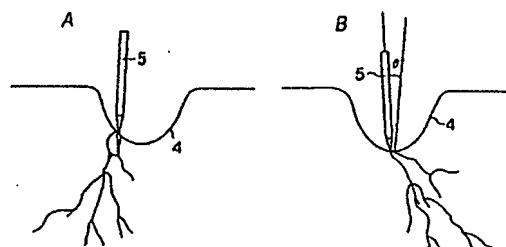
特許出願人 富士通株式会社

代理人 弁理士 玉蟲久五郎(外1名)

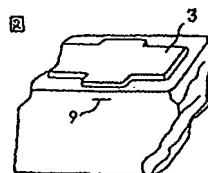
第1図



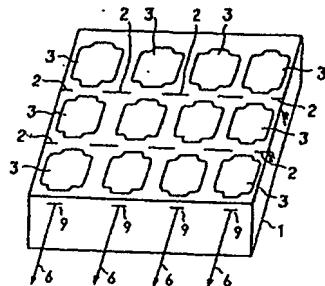
第2図



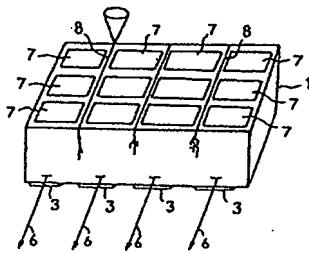
第3図



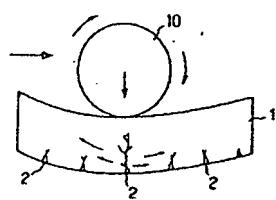
第4図



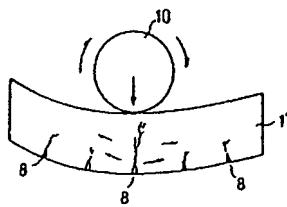
第5図



第 6 図



第 7 図



第 8 図

